

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

11646249

Basic Patent (No,Kind,Date): JP 6043490 A2 19940218 <No. of Patents: 003>

METHOD FOR MANUFACTURING AND INSPECTING ACTIVE MATRIX
SUBSTRATE AND MANUFACTURE OF LIQUID CRYSTAL DISPLAY DEVICE (English)

Patent Assignee: SONY CORP

Author (Inventor): KANEKO HARUHIKO; SUZUKI YOSHIO; YOSHINE
HIROYUKI; HAYASHI YUJI; MAEKAWA TOSHIICHI

IPC: *G02F-001/136; G02F-001/13; G02F-001/133; G09G-003/36; H01L-029/784

Derwent WPI Acc No: G 94-095198

JAPIO Reference No: 180267P000134

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 6043490	A2	19940218	JP 9357386	A	19930317 (BASIC)
JP 3203864	B2	20010827	JP 9357386	A	19930317
US 5377030	A	19941227	US 37644	A	19930326

Priority Data (No,Kind,Date):

JP 92103579 A1 19920330

JP 92103580 A1 19920330

JP 9357386 A 19930317

JP 92103579 A 19920330

JP 92103580 A 19920330

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

04399590 **Image available**

METHOD FOR MANUFACTURING AND INSPECTING ACTIVE MATRIX
SUBSTRATE AND MANUFACTURE OF LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: **06-043490** [JP 6043490 A]

PUBLISHED: February 18, 1994 (19940218)

INVENTOR(s): KANEKO HARUHIKO

SUZUKI YOSHIO

YOSHINE HIROYUKI

HAYASHI YUJI

MAEKAWA TOSHIICHI

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 05-057386 [JP 9357386]

FILED: March 17, 1993 (19930317)

INTL CLASS: [5] G02F-001/136; G02F-001/13; G02F-001/133; G09G-003/36;
H01L-029/784

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components); 44.9 (COMMUNICATION
-- Other); 46.2 (INSTRUMENTATION -- Testing)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS)

JOURNAL: Section: P, Section No. 1741, Vol. 18, No. 267, Pg. 134, May
20, 1994 (19940520)

ABSTRACT

PURPOSE: To provide the method for manufacturing and inspecting the active matrix substrate, by which a picture element defect can be detected in a comparatively short time, and also, exactly even before an injection process of a liquid crystal, and the method for manufacturing the liquid display device.

CONSTITUTION: In an active matrix substrate 4 in which a driving cell 10 of each picture element consisting of a switch element 6 for selecting a picture element, and a capacity element 8 connected in series to this switch element 6 is arrayed like a matrix, or an LCD 2 having this substrate 4, a prescribed charge is accumulated in the capacity element 8 connected to a prescribed switch element, from one terminal line of a video signal input terminal line 32 and a common electrode terminal line 33, and thereafter, the charge is detected from one of the video signal terminal line 32 or the common electrode terminal line 33, by which a defect of a picture element is detected.

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3203864号

(P3203864)

(45) 発行日 平成13年 8月27日 (2001. 8. 27)

(24) 登録日 平成13年 6月29日 (2001. 6. 29)

(51) Int.Cl.⁷

識別記号

F I

G 0 2 F 1/1368

G 0 2 F 1/13

1 0 1

1/13

1 0 1

G 0 9 G 3/36

G 0 9 G 3/36

G 0 2 F 1/136

5 0 0

H 0 1 L 29/786

H 0 1 L 29/78

6 1 2 A

請求項の数17(全 14 頁)

(21) 出願番号

特願平5-57386

(22) 出願日

平成 5 年 3 月 17 日 (1993. 3. 17)

(65) 公開番号

特開平6-43490

(43) 公開日

平成 6 年 2 月 18 日 (1994. 2. 18)

審査請求日

平成11年12月20日 (1999. 12. 20)

(31) 優先権主張番号

特願平4-103579

(32) 優先日

平成 4 年 3 月 30 日 (1992. 3. 30)

(33) 優先権主張国

日本 (J P)

(31) 優先権主張番号

特願平4-103580

(32) 優先日

平成 4 年 3 月 30 日 (1992. 3. 30)

(33) 優先権主張国

日本 (J P)

(73) 特許権者 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者

金子 春彦

東京都品川区北品川 6 丁目 7 番 35 号 ソ

ニー株式会社内

(72) 発明者

鈴木 芳男

東京都品川区北品川 6 丁目 7 番 35 号 ソ

ニー株式会社内

(72) 発明者

芳根 裕之

東京都品川区北品川 6 丁目 7 番 35 号 ソ

ニー株式会社内

(74) 代理人

100094053

弁理士 佐藤 隆久

審査官 藤岡 善行

最終頁に続く

(54) 【発明の名称】 アクティブマトリックス基板の製造方法、検査方法および装置と液晶表示装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】 画素を選択するスイッチ素子と、このスイッチ素子に直列に接続された容量素子とから成る各画素毎の駆動用セルが、マトリックス状に配列してあるアクティブマトリックス基板を製造する方法において、前記容量素子に一定の電荷を蓄積させた後、この蓄積された電荷を検出することによって、画素の欠陥を検出する工程を含み、

前記容量素子からの電荷の検出を行なうために、ビデオ信号入力端子線および共通電極端子線のいずれか一方に接続されるアンプを仮想短絡状態とし、しかもアンプの接地側端子に正の定電圧を供給することを特徴とするアクティブマトリックス基板の製造方法。

【請求項 2】 前記容量素子からの電荷の検出を、前記駆動用セルに対して走査用スイッチ回路を介して接続し

てあるビデオ信号入力端子線から行う請求項 1 に記載のアクティブマトリックス基板の製造方法。

【請求項 3】 前記容量素子からの電荷の検出を、容量素子の片側電極端子に接続してある共通電極端子線から行なう請求項 1 に記載のアクティブマトリックス基板の製造方法。

【請求項 4】 前記容量素子への電荷の蓄積を、前記駆動用セルに対して走査用スイッチ回路を介して接続してあるビデオ信号入力端子線から行うことを特徴とする請求項 1～3 のいずれかに記載のアクティブマトリックス基板の製造方法。

【請求項 5】 前記容量素子への電荷の蓄積を、容量素子の片側電極端子に接続してある共通電極端子線から行うことを特徴とする請求項 1 または 3 に記載のアクティブマトリックス基板の製造方法。

【請求項6】 前記スイッチ素子が薄膜トランジスタである請求項1～5のいずれかに記載のアクティブマトリックス基板の製造方法。

【請求項7】 前記基板には、容量素子の片側電極端子に接続してある共通電極端子線が形成してある請求項1～6のいずれかに記載のアクティブマトリックス基板の製造方法。

【請求項8】 前記容量素子の片側電極端子は、容量素子に隣接する隣の駆動用セルのスイッチ素子を駆動するためのゲート線の一部で構成される請求項1または2に記載のアクティブマトリックス基板の製造方法。

【請求項9】 データ線とゲート線との各交点位置に、画素に対応するようにマトリクス状に配列された複数の駆動用セルと、ゲート線に接続され、ゲート線を垂直方向に走査する垂直走査回路と、データ線に走査用スイッチ回路を介して接続され、データ線を水平方向に走査する水平走査回路と、前記水平走査回路の出力部に接続された走査用スイッチ回路を介して、駆動用セルに接続してあるデータ線にビデオ信号を供給するビデオ信号入力端子線とが、同一基板上に形成してある請求項1～8のいずれかに記載のアクティブマトリックス基板の製造方法。

【請求項10】 データ線とゲート線との各交点位置に、画素に対応するようにマトリクス状に配列された複数の駆動用セルと、ゲート線に接続され、ゲート線を垂直方向に走査する垂直走査回路と、データ線に走査用スイッチ回路を介して接続され、データ線を水平方向に走査する水平走査回路と、前記水平走査回路の出力部に接続された走査用スイッチ回路を介して、駆動用セルに接続してあるデータ線にビデオ信号を供給するビデオ信号入力端子線とを備え、前記駆動用セルは、画素を選択するスイッチ素子とこのスイッチ素子に直列に接続される容量素子とから構成されるアクティブマトリックス基板と、

対向電極を有し前記アクティブマトリックス基板に対向配置された対向基板と、

前記アクティブマトリックス基板と対向基板との間に保持された液晶層とを備えた液晶表示装置の製造方法であって、

前記所定のスイッチ素子に接続された容量素子に一定の電荷を蓄積させた後、前記ビデオ信号入力端子線から前記電荷を検出することによって、画素の欠陥を検出する工程を含み、

前記ビデオ信号入力端子線から前記電荷を検出するときに、前記ビデオ信号入力端子線に接続されるアンプを仮想短絡状態とし、しかもアンプの接地側端子に正の定電圧を供給することを特徴とする液晶表示装置の製造方法。

【請求項11】 データ線とゲート線との各交点位置に、画素に対応するようにマトリクス状に配列された複

数の駆動用セルと、ゲート線に接続され、ゲート線を垂直方向に走査する垂直走査回路と、データ線に走査用スイッチ回路を介して接続され、データ線を水平方向に走査する水平走査回路と、前記水平走査回路の出力部に接続された走査用スイッチ回路を介して、駆動用セルに接続してあるデータ線にビデオ信号を供給するビデオ信号入力端子線とを備え、前記駆動用セルは、画素を選択するスイッチ素子とこのスイッチ素子に直列に接続されると共に片側電極端子が共通電極端子線に接続された容量素子とから構成されるアクティブマトリックス基板と、

対向電極を有し前記アクティブマトリックス基板に対向配置された対向基板と、

前記アクティブマトリックス基板と対向基板との間に保持された液晶層とを備えた液晶表示装置の製造方法であって、

前記ビデオ信号入力端子線および前記共通電極端子線のいずれか一方の端子線から、前記スイッチ回路を通して所定のスイッチ素子に接続された容量素子に一定の電荷を蓄積させた後、前記共通電極端子線から前記電荷を検出することによって、画素の欠陥を検出する工程を含み、

前記共通電極端子線から前記電荷を検出するときに、前記共通電極端子線に接続されるアンプを仮想短絡状態とし、しかもアンプの接地側端子に正の定電圧を供給することを特徴とする液晶表示装置の製造方法。

【請求項12】 画素を選択するスイッチ素子と、このスイッチ素子に直列に接続された容量素子とから成る各画素毎の駆動用セルが、マトリクス状に配列してあるアクティブマトリックス基板を検査する方法において、前記容量素子に一定の電荷を蓄積させた後、各容量素子に蓄積された電荷を検出することによって、画素の欠陥を検出し、

前記容量素子からの電荷の検出を行なうために、ビデオ信号入力端子線および共通電極端子線のいずれか一方に接続されるアンプを仮想短絡状態とし、しかもアンプの接地側端子に正の定電圧を供給することを特徴とするアクティブマトリックス基板の検査方法。

【請求項13】 前記容量素子への電荷の蓄積工程と、容量素子からの電荷の検出工程とを、1フィールド周期で切り替えることを特徴とする請求項12に記載のアクティブマトリックス基板の検査方法。

【請求項14】 前記アンプの接地側端子に印加される定電圧が、0.5～11ボルトの範囲にある請求項12または13に記載のアクティブマトリックス基板の検査方法。

【請求項15】 画素を選択するスイッチ素子と、このスイッチ素子に直列に接続された容量素子とから成る各画素毎の駆動用セルが、マトリクス状に配列してあるアクティブマトリックス基板を検査する検査装置におい

て、
各駆動用セルを順次駆動するための駆動信号を供給する
駆動信号発生手段と、前記駆動信号発生手段からの駆動
信号に合わせて、容量素子に一定の電荷を蓄積させる検
査信号書き込み手段と、

前記駆動信号発生手段からの駆動信号に合わせて、各容
量素子に蓄積された電荷を読み出し、この電荷を検出す
ることによって、画素の欠陥を検出する検出手段とを有
し、

前記検出手段の一部を構成するアンプが仮想短絡状態で
あり、アンプの接地側端子に正の定電圧を供給する定電
圧源を有するアクティブマトリックス基板の検査装置。

【請求項16】 前記検査信号書き込み手段からの容量
素子への電荷の蓄積と、各容量素子に蓄積された電荷の
検出とを、1フィールド周期で切り替える切り替えスイ
ッチとを有する請求項15に記載のアクティブマトリッ
クス基板の検査装置。

【請求項17】 前記アンプの接地側端子に印加される
定電圧が、0.5～1.1ボルトの範囲にある請求項15
または16に記載のアクティブマトリックス基板の検査
装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、アクティブマトリッ
クス基板の製造方法および検査方法と液晶表示装置の製造
方法に係わり、特に、液晶表示装置の画素欠陥を、液晶
注入前後に拘らず、効率的に検出できる方法に関する。

【0002】

【従来の技術】液晶表示装置（LCD）は、その駆動方
式により、数種類に区別することができる。LCDの
駆動方式の一つとして、アクティブマトリクス方式が知
られている。この方式のLCDでは、ゲート線とデータ
線とのマトリクス交点部の画素毎に、スイッチ素子
と、必要に応じて容量素子とを集積化して接続し、コン
トラストやレスポンスなどの表示性能の向上を図ってい
る。

【0003】アクティブマトリクス方式のLCDは、ア
クティブマトリックス基板を有し、この基板の表面に、
画素を選択するスイッチ素子と、このスイッチ素子に直
列に接続された容量素子とから成る各画素の駆動用セル
が、マトリクス状に配列してある。各画素毎の駆動用
セルには、画素に対応した表示電極がマトリクス状に
配列してある。

【0004】このようなアクティブマトリックス基板に
は、所定の間隔をおいて、対向基板が略平行に配置して
ある。対向基板は、例えばガラス基板で構成され、この
対向基板におけるアクティブマトリックス基板側に面す
る表面には、透明な対向電極が積層してある。そして、
この対向基板と、駆動用基板との間には、液晶が注入さ
れて液晶層を構成するようになっている。このようなL

CDを製造するには、アクティブマトリックス基板と、
対向電極が成膜してある対向基板とを、別々に製造し、
これらを所定の間隔で略平行に組合せ、これらの隙間に
液晶を注入し、密封された液晶層を形成すればよい。

【0005】ところで、このようにして製造された全て
のLCDが、画素欠陥のない良好なLCDとは限らない
ので、LCDに画素欠陥がないかどうかを検査する必要
がある。液晶注入後にアクティブマトリクス方式のLC
Dの画素欠陥検査を行う方法としては、LCDを実際に
駆動させ、その画像を、画像処理装置で解析し、欠陥検
出を行う方法や、目視により欠陥を検出する方法が採用
されている。また、液晶注入後にアクティブマトリクス
方式のLCDの画素欠陥検査を行う方法として、例えば
特開昭63-123093号公報に示すような方法が知
られている。

【0006】ところが、このような方法では、LCDに
実際に絵を表示させての検査になるため、測定時間が長
くかかり、高い生産性も期待できない。また、このよう
に画素欠陥の検査を、液晶注入後のLCDに対して行っ
ていたのでは、仮に画素欠陥が生じていることが発見さ
れた場合に、その欠陥が発見されたLCDを廃棄しなけ
ればならないという問題点を有している。いったん
液晶を注入したLCDの液晶を抜き取り、欠陥部分を補
償後あるいは欠陥のある駆動基板を交換後に、再度液晶
を入れ直すことは、製造コストなどの点で現実的でない
からである。

【0007】

【発明が解決しようとする課題】そこで、LCDの画素
欠陥の検査を、液晶の注入工程前に行う方法が提案され
ている。液晶注入前のLCDの画素欠陥を検査する主な
手法として、以下のような方法が知られている。

【0008】第1に、アクティブマトリックス基板の表
面に、X、Y列に直接針をたてて、各画素に対応する駆
動用セル回路をDC（直流）テストする方法が知られて
いる。この技術では、各画素の欠陥を検出するために、
X、Y方向にDCテストを繰り返す。この方法では、
X、Y画素数分の針が必要となり、テスト時間が長い
（1～5分程度）という欠点があり、特にX、Y端子の
出していないH/Vスキャナ（水平・垂直走査回路）内蔵
のLCDでは使用することができない。

【0009】第2に、画素欠陥を、特殊な結晶体を用い
て光の強弱として検出する方法（測定時間1～2分）が
知られている。この方法では、液晶のかわりに、印加さ
れる電圧に応じて屈折率が変化するような特殊な板状結
晶体を、アクティブマトリックス基板の表面に置き、結
晶体にレーザー光をあて、その光の透過光あるいは反射
光を検出することにより、画素の欠陥を捕らえる。この
方法では、光として検出された情報を、再びカメラで処
理する必要があるため、処理が複雑となる。また、実際
の駆動状態での試験を行うことができない。さらに画素

の大きさが、数十 μm 以下であると分解能が足りなくなり検出できないという問題点がある。

【0010】第3の方法として、液晶注入前のLCDを、上方からカメラやリニアセンサで検査（測定時間3～5分）する方法がある。ところが、この方法では、画素の物理的欠陥は検出できるが、電気的な欠陥は検出できない。

【0011】本発明は、上述したような実状に鑑みてなされ、液晶の注入工程前でも、比較的短時間で、しかも正確に画素欠陥を検出することが可能なアクティブマトリックス基板の製造方法および液晶表示装置の製造方法と、検査方法および検査装置とを提供することを目的としている。

【0012】

【課題を解決するための手段】上記目的を達成するために、本発明のアクティブマトリックス基板の製造方法は、画素毎に設けられた容量素子に一定の電荷を蓄積させた後、この蓄積された電荷を検出することによって、画素の欠陥を検出する検査工程を含む。また、本発明のアクティブマトリックス基板の検査方法は、所定のスイッチ素子に接続された容量素子に一定の電荷を蓄積させる工程と、ビデオ信号入力端子線から前記電荷を検出する工程とを有する。容量素子に対して蓄積される電荷は、ビデオ信号入力端子線および共通電極端子線のいずれか一方から入れることができる。また、蓄積された電荷の読み取りは、ビデオ信号入力端子線および共通電極端子線のいずれか一方を通して行なうことができる。ここで、前記容量素子からの電荷の検出を行なうために、ビデオ信号入力端子線および共通電極端子線のいずれか一方に接続されるアンプを仮想短絡状態とし、しかもアンプの接地側端子に正の定電圧を供給する。本発明の液晶表示装置の製造方法は、上述したようなアクティブマトリックス基板の検査工程を有する。本発明のアクティブマトリックス基板の検査装置は、駆動用セルを順次駆動するための駆動信号を供給する駆動信号発生手段と、前記駆動信号発生手段からの駆動信号に合わせて、容量素子に一定の電荷を蓄積させる検査信号書き込み手段と、前記駆動信号発生手段からの駆動信号に合わせて、各容量素子に蓄積された電荷を読み出し、この電荷を検出することによって、画素の欠陥を検出する検出手段とを有し、前記検出手段の一部を構成するアンプが仮想短絡状態であり、アンプの接地側端子に正の定電圧を供給する定電圧源を有する。なお、本発明の検査方法で検査されるアクティブマトリックス基板は、液晶表示装置以外に、その他の平面表示装置の駆動基板として用いることができる。

【0013】

【作用】本発明の方法では、各画素に対応してアクティブマトリックス基板上に設けられたスイッチ素子および容量素子から成る駆動用セルを、例えば実際の液晶駆動

の場合とほぼ同様にして順次走査し、容量素子に、一定の電荷を蓄積させ、次に、その蓄積された電荷を順次読み取る。その結果、画素に対応する所定の駆動用セルのスイッチ素子あるいは容量素子あるいはそれらに接続するデータ線あるいはゲート線に欠陥がある場合には、その欠陥情報を読み取ることができる。

【0014】したがって、本発明方法では、液晶注入工程前のアクティブマトリックス基板を、実際の駆動状態に類似した条件で検査することができ、他の方式に比較して実際の表示レベルと相関のとれた画素欠陥検出を液晶注入工程の前に行うことができる。しかも、画素欠陥となる部分を高速（例えば約5秒以下）に検査できる。また、検査の分解能は、容量素子の画素保持容量に依存し、画素の大きさに依存しないため、画素毎の正確な検査が可能である。さらに、水平走査回路および垂直走査回路を一体に組み込んだアクティブマトリックス基板をも検査することが可能である。水平走査回路および垂直走査回路と同期して、本発明の方法を適用して検査を行えば、画素欠陥となる画素ラインのアドレス位置を正確に検査することができる。さらにまた、本発明の方法は、液晶を注入後でも適用することができる。薄膜トランジスタを用いたLCD用アクティブマトリックス駆動基板では、データ線を通して書き込んだ印加電圧を、次の書き込み時までの間保持するために、液晶に対して並列に接続されるように、容量素子を基板上に作り込むことが望ましい。液晶に対して並列に接続される容量素子を、その形成法による分類すると、隣接するゲート線の一部に対して絶縁層を介して画素電極をオーバーラップさせて容量素子を形成する付加容量型容量素子と、スイッチ素子に接続される部分と反対側の電極端子をゲート線とは別の共通電極端子線に接続する蓄積容量型容量素子とがある。容量素子が付加容量型である場合には、容量素子に対する電荷の蓄積および読み出しは、ビデオ信号入力端子線を通して行なえばよい。また、容量素子が、蓄積型である場合には、容量素子に対する電荷の蓄積および読み出しは、ビデオ信号入力端子線のみならず、共通電極端子線から行なうことができる。特に、容量素子に蓄積される電荷の検出を、ビデオ信号入力端子線から行うのではなく、各容量素子の片側電極端子に直接接続される共通電極端子線から行えば、データ線に基づく寄生容量の影響を極力防止して、各容量素子に蓄積される電荷の検出レベルを大きくとることが可能になり、検出精度を高めることが可能になる。また、容量素子に蓄積された電荷を読み出して画素の欠陥を判断する検出回路中のアンプを仮想短絡状態とし、アンプの接地側端子に定電圧を供給するように構成しており、検査中において、ある時点で走査されない各スイッチ素子に対し、実駆動時と同様に、駆動が抑制される極性の電圧が印加される。その結果、実駆動時において正常なスイッチ素子を、欠陥スイッチ素子として誤判断するおそれが

なくなる。すなわち、通常実駆動時と同じ状態の検査が可能になる。

【0015】

【実施例】以下、本発明を、図面に示す実施例に基づき詳細に説明する。図1はアクティブマトリックス基板を有する液晶表示装置(LCD)の要部概略断面図、図2は本発明の第1実施例に係るアクティブマトリックス基板のアクティブマトリックス回路に画素欠陥検出装置を接続した場合の回路構成を示す概略図、図3はアクティブマトリックス基板の検査を行うためにアクティブマトリックス回路に印加される検査用駆動信号のタイムチャート図、図4は画素欠陥判定回路による判定手法を示すグラフ、図5は容量素子の種類を示す平面図、図6は容量素子の種類を示す等価回路図、図7は本発明の第2の実施例に係るアクティブマトリックス基板のアクティブマトリックス回路に画素欠陥検出装置を接続した場合の回路構成を示す概略図、図8は本発明の第2実施例に係るアクティブマトリックス基板の検査工程時における容量素子に蓄積されている電荷の読み出し時の等価回路図、図9は本発明の第1実施例に係るアクティブマトリックス基板の検査工程時における容量素子に蓄積されている電荷の読み出し時の等価回路図、図10は本発明の第3の実施例に係るアクティブマトリックス基板の検査工程時における容量素子に蓄積されている電荷の読み出し時の等価回路図、図11は本発明のその他の実施例で用いるI/Vアンプの一例を示す回路図、図12は検査時と実駆動時とで、ある時点で走査されないトランジスタに印加される電圧の印加状態を示す概略図、図13は本発明の実施例で用いるスイッチ素子としてのトランジスタの特性を示すグラフである。

【0016】まず、本発明の第1実施例に係る液晶表示装置(LCD)の製造方法の概略について説明する。LCDを製造するには、アクティブマトリックス基板を製造する必要がある。アクティブマトリックス基板としては、本発明では特に限定されないが、例えば図1に示す構成のTFT型アクティブマトリックス基板4が用いられる。以下の説明では、アクティブマトリックス基板を、液晶駆動用基板として用いた例について説明する。図1に示す例では、例えばガラス基板5上に、画素を選択するスイッチ素子(図示せず)と、このスイッチ素子に直列に接続された容量素子(図示せず)とから成る各画素の駆動用セルが、マトリックス状に配列してある。各画素毎の駆動用セルには、画素に対応した表示電極12がマトリックス状に配列してある。TFT型アクティブマトリックス基板では、ガラス基板5上にアモルファスシリコン膜あるいはポリシリコン膜などを成膜することにより形成されるスイッチ素子としての薄膜トランジスタ(TFT)と、集積化されたキャパシタとをマトリックス状に形成してある。なお、ガラス基板上にスイッチ素子と容量素子とから成る駆動用セルが形成されたT

FT型アクティブマトリックス基板に限定されず、半導体基板上にスイッチ素子および容量素子をマトリックス状に作り込み、アクティブマトリックス基板とすることもできる。マトリックス状に配置された駆動用セルの接続関係は、図2に示される。駆動用セル10は、ゲート線26とデータ線28との交差部にマトリックス状に配置されて、アクティブマトリックス回路20を構成している。ゲート線26は、垂直走査回路22に接続してある。また、データ線28は、走査用スイッチ回路30を介してビデオ信号入力端子線32に接続してある。各走査用スイッチ回路30は、例えばスイッチ用CMOSで構成され、水平走査回路24によりスイッチの駆動が制御されるようになっている。一方、各画素毎に設けられた駆動用セル10の容量素子8は、スイッチ素子6に対して直列に接続され、その片側端子が共通電極端子線33に接続してある。

【0017】本実施例では、垂直走査回路22、水平走査回路24、スイッチ回路30、ビデオ信号入力端子線32、共通電極端子線33、ゲート線26およびデータ線28は、各駆動用セル10と共に、同一のアクティブマトリックス基板4の表面に形成してある。なお、水平走査回路24および垂直走査回路22などを、駆動用セル10がマトリックス状に形成してあるアクティブマトリックス基板とは別の基板に形成するように構成することもできる。また、図2に示す例では、ビデオ信号入力端子線32は、一本しか形成されていないが、液晶表示がカラーの場合には、RGBに対応する3本のビデオ信号入力端子線が必要となる。

【0018】図1、2に示す実施例では、駆動用セル10を構成するスイッチ素子6は、図5(A)および図6(A)に示すように、透明基板上に形成してある薄膜トランジスタで構成してある。また、容量素子8は、図5(A)および図6(A)に示すように、画素電極12aの一部に絶縁層を介してオーバーラップして集積化して形成された透明電極などを共通電極端子33aとして用いる蓄積容量型容量素子8aで形成してある。なお、本発明では、アクティブマトリックス基板の具体的構造は、図1に示す実施例に限定されず、種々に改変することができる。たとえば、スイッチ素子としては、半導体基板あるいは透明基板上に形成されるMOSトランジスタ、MIM素子、ダイオード素子、バリスタ素子などを用いることも可能である。また、容量素子としては、図5(B)および図6(B)に示すように、隣接するゲート線26bの一部に対して画素電極12bを絶縁層を介してオーバーラップさせて容量素子を形成する付加容量型容量素子8bを用いることも可能である。なお、図5、6中、26a、26bはゲート線であり、28a、28bはデータ線であり、6a、6bは薄膜トランジスタであり、8a、8bは容量素子であり、18a、18bは、各画素毎の液晶素子である。

【0019】このようなアクティブマトリックス基板4を用いて、LCD2を製造するには、たとえば図1に示すように、アクティブマトリックス基板4に対して所定の間隔において、対向電極16を有する対向基板14を略平行に配置し、その間に液晶を注入して液晶層18を形成すれば良い。対向基板14は、例えばガラス基板で構成され、この対向基板14における駆動用基板4側に面する表面に、例えばITO膜で構成してある透明な対向電極16が積層してある。なお、図1中、符号15はカラーフィルターを示す。本発明の一実施例に係るLCDの製造方法では、上述したようなアクティブマトリックス基板4を製造した後（対向基板14と組み合わせる前あるいはその後）に、次に示す方法を用いて、画素欠陥の検出を行っている。

【0020】まず、図2に示すように、ビデオ信号入力端子線32に対し、検査用スイッチ回路34を接続する。検査用スイッチ回路34の一方のスイッチ端子34aは、検査信号書き込み用電源36に対して接続してある。書き込み用電源36から印加される電圧は、LCDを実際に駆動する際の電圧と同程度である。検査用スイッチ回路34の他方のスイッチ端子34bは、電流電圧変換（I/V）アンプ38を介して判定手段40に接続してある。判定手段40は、例えば画像処理装置で構成され、検査用スイッチ回路34およびI/Vアンプ38を通じて入力してくる画素情報を解析するようになっている。

【0021】検査用スイッチ回路34は、一定の周期で端子34aへの接続と、端子34bへの接続とに切り替わるように構成してある。このスイッチの切り替えの周期は、特に限定されないが、例えば、ビデオの制御信号の一つであるフィールド信号に同期させて行うことができる。フィールド信号は、図3（A）に示すように、所定の周期で繰り返されるので、検査用スイッチ回路34の切り替えを、同図（B）、（C）に示すように、最初の1フィールド時間で、書き込み用電圧V1の印加による検査信号の書き込みを行い（図中aパターン）、次のフィールド時間で検査信号の読み込みを行い（図中bパターン）、aパターンとbパターンとを繰り返すことにより検査を行う。なお、図3中、（A）は、フィールド信号のタイムチャートを示し、（B）は、ビデオ信号入力端子線32の電位状態を示すタイムチャートを示し、同図（C）は、検査用スイッチ回路34のスイッチ切り替え状態を示すタイムチャートである。検査用スイッチ回路34の切り替えは、たとえば、図2に示す駆動信号発生手段35に基づき行なわれる。駆動信号発生手段35は、検査装置の一部として用いられ、水平走査回路24および垂直走査回路22に対して駆動信号を供給する。この駆動信号には、図3（A）に示すフィールド信号が含まれる。

【0022】駆動信号発生手段35から供給される図3

（A）に示すフィールド信号に同期して、検査用スイッチ回路34が、一方の端子34a側に接続された場合には、水平走査回路24および垂直走査回路22も、フィールド信号に同期して駆動され、マトリックス状に配置された1フィールド分の駆動用セル10を順次走査する。その際に、各駆動用セル10の容量素子8には、書き込み用電源36からの電圧V1と共通電源端子線33からの電圧の差が印加され、電荷が蓄積される。例えば、電圧V1が12ボルトであり、共通電源端子線33からの電圧が6ボルト程度であり、その差の電圧が容量素子8に印加される。

【0023】そして、次のフィールド信号がくると、検査用スイッチ回路34の接続が、端子34b側に切り替わる。それと同時に、水平走査回路24および垂直走査回路22は、フィールド信号に同期して、1フィールド分の駆動用セル10の走査を順次開始する。すると、ビデオ信号入力端子線32には、走査の順序に応じて、各駆動用セル10の容量素子8に蓄積された電荷に相当する検出信号が流れる。

【0024】各駆動用セル10のスイッチ素子6および容量素子8が正常である場合には、前回のフィールド時間において容量素子に蓄積された電荷は、ほぼそのままの状態を保持し、次のフィールド時間の読み出し時に放電される。したがって、各駆動用セル10における電荷の放電による電流を、判定手段40により順次検知することで、各駆動用セル10の動作が正常であることが確認される。また、所定の駆動用セル10のスイッチ素子6あるいは容量素子8に異常がある場合には、その異常があるセル回路10からの放電電流は、正常な場合に比較して、異常に低くなるなどの欠陥を観察できる。

【0025】例えば、図4の実線に示すように、各画素に対応するセル回路10が正常である場合には、書き込み時Xから読み込み時Yまでの1フィールド時間では、各容量素子8の両端電位は、自然放電などにより多少減少するが、ほとんど変化しない。そこで、判定手段40では、各容量素子8に蓄積された電荷のY点における値を読み込み、正常であることを判別できる。ところが、例えばセル回路のスイッチ素子などに異常があり、リーク電流が大きすぎる場合には、1フィールド時間の間に図中点線Zのような軌跡を辿り、読み取り時には、Y点に比べてきわめて低いY1点の電位を読み込むことになる。また、容量素子8の端子接続が不完全の場合（キャパシタがオープン）などには、図中点線Vのような軌跡を辿り、容量素子への電荷の蓄積ができない。

【0026】LCDでは、液晶表示表面の明るさは、この1フィールド分の容量素子8における電位の変化に影響を受ける。したがって、本実施例のような方法を用いて、液晶注入前のアクティブマトリックス基板の検査を行えば、液晶注入後に画素欠陥と成る異常を、比較的精度良く検査することができる。言い替えれば、本発明の

方法を用いて検査を行えば、実駆動時の表示の欠陥レベルとの相関がある結果を得ることができる。

【0027】本実施例の判定手段40を用いて判定することができる具体的な欠陥としては、次のような欠陥を例示することができる。

(1) 容量素子8の端子接続が不完全(キャパシタがオープン)の場合の欠陥。

この場合には、欠陥画素に対応する部分において、放電電流が検出されない。図4の点線Vで示すように、容量素子への電荷の蓄積ができないからである。

(2) 容量素子8がショートしている欠陥。

この場合には、欠陥画素に対応する部分で、周辺画素と比較し、大きな放電電流が検出される。共通電極端子線33から直接電流が流れるからである。

(3) スイッチ素子6が常時オンとなっている欠陥。

この場合には、欠陥画素を含むデータ線28において、放電電流が減少する。欠陥画素に相当するセル回路10のスイッチ素子6が、同一データ線28に接続してある他のセル回路10の読み出しに影響を与えるからである。

(4) スイッチ素子6が常時オフとなる欠陥。

この場合には、欠陥画素に相当する部分で、放電電流が検出されない。スイッチ素子6を選択しても、オンしないからである。

(5) 容量素子8にリークが生じている欠陥。

この場合には、欠陥画素に相当する部分から検出される放電電流が、周辺の画素に相当する部分に対して低く検出される。図4の点線Zに示すように、リーク電流により、電荷の蓄積保持が不完全になるからである。

(6) ゲート線26が断線している欠陥。

この場合には、同一のゲート線26からの放電電流が検出されない。

(7) データ線28が断線している欠陥。

この場合には、同一のデータ線28からの放電電流が検出されない。

【0028】なお、この他の欠陥モードについても、判定手段40により検出された画素電圧を分析することにより、欠陥を検出し、欠陥の種類を判別することが可能である。なお、本発明は、上述した実施例に限定されず、本発明の範囲内で種々に改変することができる。

【0029】例えば、上述した実施例では、液晶を注入する前のアクティブマトリックス基板4を用いて、将来生じるであろう画素欠陥を検出するように構成したが、液晶を注入後においても、本方式を改善することで適用可能である。液晶を注入した後の駆動回路を含む等価回路は、容量素子8に対して並列に、容量成分として、容量素子の容量の数%の容量が加わる程度なので、等価回路は図2に示す回路とほぼ同じであるが、液晶の注入後には、駆動回路20に対し、一定の直流電圧を印加すると、電気分解を起こすおそれがある。これを回避するた

めに、図3に示すa, b, c, bのパターンで、1フィールド毎に、各駆動用セルへの書き込みと読み出しとを繰り返せば良い。a, b, c, bのパターンで、書き込みと読み出しとを繰り返せば、最初のフィールドの書き込み用電圧V1と、次のフィールドの書き込み用電圧V2とは同一ではないことから、共通電極端子線33に対して $(V1 + V2) / 2$ の直流電圧を加えることで、液晶には、交流電圧が印加されることになり、液晶の電気分解のおそれはない。また、このパターンcによって、画素に対応する液晶および駆動用セルに、+方向に電位をかけた場合と一方方向に電位をかけた場合の、2つの条件での同時測定が可能となる。

【0030】このような本発明の方法を、液晶注入後のLCDの検査に対して行う利点として、欠陥アドレスの特定ができる点や、実際の表示を見ないである程度の評価が可能である点が挙げられる。

【0031】また、本発明の方法は、水平走査回路24および垂直走査回路22が組み込まれていないアクティブマトリックス基板に対しても適用できる。その場合には、各駆動用セル回路10を順次駆動する回路を、基板に対して外付けすることにより、本発明の方法を使用することが可能である。この実施例の場合には、従来例の方法であるX, Y列に直接針をたてて、各画素に対応する駆動用セルをDC(直流)テストする方法に比較して、実時間で測定できる点が優れている。

【0032】さらに、上述した実施例では、1フィールド周期で、書き込みと読み出しとを繰り返したが、この周期を変更することも本発明では可能である。この周期を変更することにより、任意時間を経過した後の容量素子に貯えられている電荷情報を読み出すことが可能になり、さらに進んだLCDの不良解析などに用いることも可能である。具体的には、周期の変更は、垂直走査回路22を一時的に止めることなどにより、1画素周期

(0.0nsの単位)から、1H周期ないし数フィールド周期まで可変可能である。さらに、上述した実施例では、ビデオ信号入力端子線32から、各容量素子8に電荷を蓄積させるための電位を印加するように構成したが、これに限定されず、共通電極端子線33側から電荷蓄積用の電位を印加するように構成することもできる。

【0033】図7は、本発明の第2の実施例に係るアクティブマトリックス基板の駆動回路に検査装置を接続した状態を示す概略回路図である。前述した第1実施例と共通する部材には同一符号を付し、その説明は一部省略する。本実施例による検査方法は、以下のようにして行なわれる。

【0034】まず、図7に示すように、ビデオ信号入力端子線32に対し、検査用スイッチ回路34Aを接続する。検査用スイッチ回路34Aの一方のスイッチ端子34aは、検査信号書き込み用電源36に対して接続してある。書き込み用電源36から印加される電圧は、LC

Dを実際に駆動する際の電圧と同程度である。検査用スイッチ回路34Aの他方のスイッチ端子34bは、基準電位に接続してある。このスイッチ回路34Aは、共通電極端子線33に接続してある検査用スイッチ回路34Bと同期して動作するようになっている。共通電極端子線33には、I/Vアンプ38を介して判定手段40に接続してある。判定手段40は、例えば画像処理装置で構成され、I/Vアンプ38を通じて入力してくる画素情報を解析するようになっている。

【0035】検査用スイッチ回路34Aは、一定の周期で、端子34aへの接続と、端子34bへの接続とに切り替わるように構成してある。しかも、この検査用スイッチ回路34Aの動作に同期して、検査用スイッチ回路34Bも、基準電位へ接続する場合と、基準電位への接続をオープンにする場合とに切り替わるようになっている。すなわち、検査信号書き込み用電源36から、ビデオ入力端子線32、データ線28を通じて、容量素子8へ順次電荷を蓄積させて、検査信号の書き込みを行う場合には、スイッチ回路34Bは、基準電位に接続され、判定手段40では、電位の読み出しを行わない。また、スイッチ回路34Aがスイッチ端子34bに接続するように切り替わった場合には、スイッチ回路34Bがオープンとなり、各容量素子8に蓄積されている電荷を順次読み出し、その放電電流を電圧に変換して判定手段40によりモニタするようになっている。

【0036】このスイッチの切り替えの周期は、特に限定されないが、例えば、ビデオの制御信号の一つであるフィールド信号に同期させて行うことができる。フィールド信号は、図3(A)に示すように、所定の周期で繰り返されるので、検査用スイッチ回路34A、34Bの切り替えを、同図(B)、(C)に示すように、最初の1フィールド時間で、書き込み用電圧V1の印加による検査信号の書き込みを行い(図中aパターン)、次のフィールド時間で検査信号の読み込みを行い(図中bパターン)、aパターンとbパターンとを繰り返すことにより検査を行う。なお、図4中、(A)は、フィールド信号のタイムチャートを示し、(B)は、ビデオ信号入力端子線32の電位状態を示すタイムチャートを示し、同図(C)は、検査用スイッチ回路34のスイッチ切り替え状態を示すタイムチャートである。検査用スイッチ回路34A、34Bの切り替えは、たとえば、図7に示す駆動信号発生手段35に基づき行なわれる。駆動信号発生手段35は、検査装置の一部として用いられ、水平走査回路24および垂直走査回路22に対して駆動信号を供給する。この駆動信号には、図3(A)に示すフィールド信号が含まれる。

【0037】図3(A)に示すフィールド信号に同期して、検査用スイッチ回路34Aが、一方の端子34a側に接続された場合には、水平走査回路24および垂直走査回路22も、フィールド信号に同期して駆動され、マ

トリックス状に配置された1フィールド分の駆動用セル10を順次走査する。その際に、各駆動用セル回路10の容量素子8には、書き込み用電源36からの電圧V1と共通電源端子線33からの電圧の差が印加され、電荷が蓄積される。例えば、電圧V1が12ボルトであり、共通電源端子線33からの電圧が6ボルト程度であり、その差の電圧が容量素子8に印加される。

【0038】そして、次のフィールド信号がくると、検査用スイッチ回路34Aの接続が、端子34b側に切り替わると共に、検査用スイッチ回路34Bが、オープンとなる。それと同時に、水平走査回路24および垂直走査回路22は、フィールド信号に同期して、1フィールド分の駆動用セル10の走査を順次開始する。すると、共通電源端子線32には、走査の順序に応じて、各駆動用セル10の容量素子8に蓄積された電荷に相当する検出信号が流れる。

【0039】各駆動用セル10のスイッチ素子6および容量素子8が正常である場合には、前回のフィールド時間において容量素子に蓄積された電荷は、ほぼそのままの状態を保持し、次のフィールド時間の読み出し時に放電される。したがって、各駆動用セル回路10における電荷の放電による電流を、アンプ38で電圧に変換し、それを判定手段40により順次検知することで、各駆動用セル10の動作が正常であることが確認される。また、所定の駆動用セル10のスイッチ素子6あるいは容量素子8に異常がある場合には、その異常があるセル回路10からの放電電流は、正常な場合に比較して、異常に低くなるなどの欠陥を観察できる。

【0040】例えば、図4の実線に示すように、各画素に対応するセル回路10が正常である場合には、書き込み時Xから読み込み時Yまでの1フィールド時間では、各容量素子8の両端電位は、自然放電などにより多少減少するが、ほとんど変化しない。そこで、判定手段40では、各容量素子8に蓄積された電荷のY点における値を読み込み、正常であることを判別できる。ところが、例えばセル回路のスイッチ素子などに異常があり、リーク電流が大きすぎる場合には、1フィールド時間の間に図中点線Zのような軌跡を辿り、読み出し時には、Y点に比べてきわめて低いY1点の電位を読み込むことになる。また、容量素子8の端子接続が不完全の場合(キャパシタがオープン)などには、図中点線Vのような軌跡を辿り、容量素子への電荷の蓄積ができない。

【0041】LCDでは、液晶表示表面の明るさは、この1フィールド分の容量素子8における電位の変化に影響を受ける。したがって、本実施例のような方法を用いて、液晶注入前のアクティブマトリックス基板の検査を行えば、液晶注入後に画素欠陥と成る異常を、比較的精度良く検査することができる。言い替えれば、本発明の方法を用いて検査を行えば、実駆動時の表示の欠陥レベルとの相関がある結果を得ることができる。

【0042】本実施例の判定手段40を用いて判定することができる具体的な欠陥としては、次のような欠陥を例示することができる。

(1) 容量素子8の端子接続が不完全(キャパシタがオープン)の場合の欠陥。

この場合には、欠陥画素に対応する部分において、放電電流が検出されない。図4の点線Vで示すように、容量素子への電荷の蓄積ができないからである。

(2) 容量素子8がショートしている欠陥。

この場合には、欠陥画素に対応する部分で、周辺画素と比較し、大きな放電電流が検出される。共通電極端子線33から直接電流が流れるからである。

(3) スイッチ素子6が常時オンとなっている欠陥。

この場合には、欠陥画素を含むデータ線28において、放電電流が減少する。欠陥画素に相当するセル回路10のスイッチ素子6が、同一データ線28に接続してある他のセル回路10の読み出しに影響を与えるからである。

(4) スイッチ素子6が常時オフとなる欠陥。

この場合には、欠陥画素に相当する部分で、放電電流が検出されない。スイッチ素子6を選択しても、オンしないからである。

(5) 容量素子8にリークが生じている欠陥。

この場合には、欠陥画素に相当する部分から検出される放電電流が、周辺の画素に相当する部分に対して低く検出される。図4の点線Zに示すように、リーク電流により、電荷の蓄積保持が不完全になるからである。

(6) ゲート線26が断線している欠陥。

この場合には、同一のゲート線26からの放電電流が検出されない。

(7) データ線28が断線している欠陥。

この場合には、同一のデータ線28からの放電電流が検出されない。

【0043】本実施例では、この他の欠陥モードについて

$$Q = C_s \cdot V = (C_{sig1} + C_{sig2} + C_s) \times V_x$$

$$\therefore V_x = \frac{C_s}{C_{sig1} + C_{sig2} + C_s} \times V \quad \dots (1)$$

【数2】

$$Q = C_s \cdot V = \frac{C_s \cdot C_{sig2}}{C_s + C_{sig2}} \times V_x$$

$$\therefore V_x = \left(\frac{C_s}{C_{sig2}} + 1 \right) \times V \quad \dots (2)$$

上記数式1、2を比較すると、数式2における読み出し電圧 V_x が、数式1における読み出し電圧 V_x に比較

しても、判定手段40により検出された画素電圧を分析することにより、欠陥を検出し、欠陥の種類を判別することが可能である。特に、図7に示すような本発明の実施例では、図2に示す実施例に比較し、共通電源端子線33から各容量素子8の電荷を読み取るようにしており、ビデオ信号入力端子線32から容量素子8の電荷を読み取る構成ではないので、以下に示すような利点を有している。

【0044】すなわち、図7に示す実施例では、ビデオ信号入力端子線32に対し、検査用スイッチ回路34を接続し、検査用スイッチ回路34の一方のスイッチ端子34aを、検査信号書き込み用電源36に対して接続し、他方のスイッチ端子34bをアンプ38および判定手段40に接続することにより、共通電極端子線33から、容量素子8からの電荷の読み出しを行っている。

【0045】したがって、図7に示す本実施例の回路構成で、容量素子8の電荷の読み出しを行う場合における書き込み時の容量素子の電圧 V と読み出し電圧 V_x との関係を示す等価回路図は、図8に示される。一方、図2に示す実施例の回路構成で、容量素子8の電荷の読み出しを行う場合における書き込み時の容量素子の電圧 V と読み出し電圧 V_x との関係を示す等価回路図は、図9に示される。図8および図9中、 C_s は、容量素子8の容量であり、 C_{sig1} は、ビデオ信号入力端子線32に寄生する寄生容量であり、 C_{sig2} は、データ線28に寄生する寄生容量である。

【0046】図9に示す等価回路に基づき、容量素子8に対し、 $Q = C_s \times V$ の電荷が蓄積されたとして、容量素子の電圧 V と読み出し電圧 V_x との関係を求めると、下記の数式1となる。これに対し、図8に基づき、本実施例における書き込み時の容量素子の電圧 V と読み出し電圧 V_x との関係を求めると、下記の数式2となる。

【数1】

し、大きくなることが判明する。つまり、図2に示す実施例に比較して、図7に示す本実施例の方法によれば、

読み出し電圧 V_x （すなわち検出レベル）を大きく取ることができる。例えば、 C_{sig1} が4 pFであり、 C_{sig2} が20 pFであり、 C_s が150 fFの場合には、第1実施例を示す数式1で求めた検出レベル V_x は、約 $0.006 \times V$ となり、これに対し、第2実施例を示す数式2で求めた検出レベル V_x は約 $0.03 \times V$ となり、大幅に検出レベルが向上することが確かめられる。検出レベルが向上すれば、判定手段40での画素欠陥の検出あるいは欠陥の種類の判定の精度が向上する。

【0047】図10は、本発明の第3実施例に係る画素欠陥の検出方法を示す回路図である。図10に示す実施例では、ビデオ信号入力端子線32を、常時、基準電位に接地し、共通電極端子線33に対し、検査用スイッチ回路34Cを設け、一方のスイッチ端子34aを検査信号書き込み用電源36に対して接続し、他方のスイッチ端子34bをI/Vアンプ38を介して判定手段40に接続してある。

【0048】このような実施例における書き込み時の容量素子の電圧 V と読み出し電圧 V_x との関係を示す等価回路図は、図7に示す実施例と同様に、図8に示す回路構成となり、読み出し時の検出レベルが向上することになる。また、上述した各実施例では、液晶を注入する前のアクティブマトリックス基板4を用いて、将来生じるであろう画素欠陥を検出するように構成したが、液晶を注入後においても、本方式を改善することで適用可能である。液晶を注入した後の駆動回路を含む等価回路は、容量素子8に対して並列に、容量成分として、容量素子の容量の数%の容量が加わる程度なので、等価回路は図7に示す回路とほぼ同じであるが、液晶の注入後には、駆動回路20に対し、一定の直流電圧を印加すると、電気分解を起こすおそれがある。これを回避するために、図3に示すa、b、c、bのパターンで、1フィールド毎に、各駆動用セルへの書き込みと読み出しとを繰り返せば良い。a、b、c、bのパターンで、書き込みと読み出しとを繰り返せば、最初のフィールドの書き込み用電圧 V_1 と、次のフィールドの書き込み用電圧 V_2 とは同一ではないことから、共通電極端子線33に対して $(V_1 + V_2) / 2$ の直流電圧を加えることで、液晶には、交流電圧が印加されることになり、液晶の電気分解のおそれはない。また、このパターンcによって、画素に対応する液晶および駆動用セルに、+方向に電位をかけた場合と一方向に電位をかけた場合の、2つの条件での同時測定が可能となる。このような本発明の方法を、液晶注入後のLCDの検査に対して行う利点として、欠陥アドレスの特定ができる点や、実際の表示を見ないである程度の評価が可能である点が挙げられる。

【0049】また、本発明の方法は、水平走査回路24および垂直走査回路22が組み込まれていないアクティブマトリックス基板に対しても適用できる。その場合には、各駆動用セル回路10を順次駆動する回路を、基板

に対して外付けすることにより、本発明の方法を使用することが可能である。この実施例の場合には、従来例の方法であるX、Y列に直接針をたてて、各画素に対応する駆動用セルをDC（直流）テストする方法に比較して、実時間で測定できる点が優れている。

【0050】さらに、上述した実施例では、1フィールド周期で、書き込みと読み出しとを繰り返したが、この周期を変更することも本発明では可能である。この周期を変更することにより、任意時間を経過した後の容量素子に貯えられている電荷情報を読み出すことが可能になり、さらに進んだLCDの不良解析などに用いることも可能である。

【0051】具体的には、周期の変更は、垂直走査回路22を一時的に止めることなどにより、1画素周期（0.0 nSの単位）から、1H周期ないし数フィールド周期まで可変可能である。

【0052】また、本発明の実施例としては、I/Vアンプ38として、図11に示すように、仮想短絡であるが、アンプの接地側端子50をグランドに接地しないで、定電圧源52に接続してあるI/Vアンプ38aを用いている。定電圧源52から印加される電圧（仮に、仮想電位と称する）としては、特に限定されないが、+0.5～1.1ボルト、好ましくは、実駆動時の共通電極端子線33に印加される電圧である6ボルト程度がよい。なお、図11中、符号54、56は、増幅ゲインを得るための抵抗である。

【0053】上述した各実施例で、検査装置の一部として用いるI/Vアンプ38として、各容量素子8に蓄積された電荷に相当する電流を接地側に流し、電流を電圧に変換して、各画素毎の欠陥を検出する、通常の仮想短絡かつ仮想接地のアンプ38を用いた場合には、以下に示す課題を有していることが本発明者等によって見い出されている。すなわち、図12（A）に示すように、検査中において、ある時点で走査されない各スイッチ素子6のソース側端子Sに対しては、仮想接地の電圧（0V）が印加されるが、この時ゲート線26の電圧も0ボルトであり、完全に正常なスイッチ素子であれば、スイッチ素子6はオンしない。ところが、たとえばTFTで構成されるスイッチ素子6は、図13に示すように、ゲート側端子Gの電圧とソース側端子Sの電圧との電圧差 V_{gs} が0ボルトであっても、スイッチ素子6のドレイン側端子Dへ流れる電流 I_d は、必ずしも0にはならない場合がある。すなわち、スイッチ素子6としてのトランジスタがオフになりきらない場合がある。トランジスタの製造誤差などにより、 V_{gs} に対する I_d の特性曲線は、 V_{gs} のプラス側あるいはマイナス側にずれるなどの理由による。

【0054】液晶装置の実駆動時には、ビデオ信号入力端子線32には、たとえば1.5～10.5ボルトの電圧が常時印加されており、スイッチ素子6を構成するト

ランジスタのソース側端子Sには、1.5ボルト以上の電圧が印加される。その結果、実駆動時における走査されていないトランジスタの V_{gs} は、-1.5ボルト以下となり、図13に示すように、所定の誤差範囲内の製造誤差のトランジスタでは、走査されていないトランジスタには、電流 I_d がほとんど流れず（オフ状態）、誤作動しない。

【0055】ところが、検査時においては、走査されていないスイッチ素子6であるトランジスタの V_{gs} は完全に0ボルトとなり、実駆動時に正常に動作するトランジスタでも、リーク電流が流れる（トランジスタのオン状態）おそれがある。このため、実駆動時には正常に動作するスイッチ素子6としてのトランジスタでも、正常トランジスタでないとして誤検出されるおそれが残る。このような課題は、スイッチ素子6がトランジスタ以外の素子の場合も同様である。

【0056】本実施例では、図11に示すように、アンプ38aを仮想短絡状態とし、アンプ38aの接地側端子50に定電圧を供給するように構成してあるので、検査中において走査されていない各スイッチ素子6に対し、実駆動時と同様に、駆動が抑制される極性の電圧が印加される。その結果、実駆動時において正常なスイッチ素子を、欠陥スイッチ素子として誤判断するおそれなくなる。すなわち、通常実駆動時と同じ状態の検査が可能になる。

【0057】また、本実施例の変形例として、図11に示す定電圧源50から供給される仮想電位を可変にすることも可能である。その実施例の場合には、異なる駆動電圧範囲のアクティブマトリックス基板の検査が可能になる。また、仮想電位は、共通電極端子線33に対して印加される電位に対して、たとえば2～3ボルトの範囲でプラス側あるいはマイナス側に電位差を設けることにより、容量素子8に作用する電位差を大きくさせ、測定感度を向上させることも可能である。

【0058】

【発明の効果】以上説明してきたように、本発明によれば、液晶注入工程前のアクティブマトリックス基板を、実際の駆動状態に類似した条件で検査することができ、他の方式に比較して、実際の表示レベルと相関のとれた欠陥検出を液晶注入工程の前に行うことができる。しかも、画素欠陥となる部分を高速（例えば約5秒以下）に検査できると共に、検査のための装置構成も従来に比較して簡略化できる。また、検査の分解能は、容量素子の画素保持容量に依存し、画素の大きさに依存しないため、画素毎の正確な検査が可能である。さらに、水平走査回路および垂直走査回路を一体に組み込んだアクティブマトリックス基板をも検査することが可能である。水平走査回路および垂直走査回路と同期して、本発明の方法を適用して検査を行えば、画素欠陥となる画素ラインのアドレス位置を正確に検査することができる。さらに

また、本発明の方法は、液晶を注入後でも適用することができる。

【0059】特に、容量素子に蓄積される電荷の検出を、ビデオ信号入力端子線から行うのではなく、各容量素子の片側電極端子に直接接続される共通電極端子線から行えば、データ線に基づく寄生容量の影響を極力防止して、各容量素子に蓄積される電荷の検出レベルを大きくとることが可能になり、検出精度を高めることが可能になる。

【0060】また、容量素子に蓄積された電荷を読み出して画素の欠陥を判断する検出回路中のアンプを仮想短絡状態とし、アンプの接地側端子に定電圧を供給するように構成すれば、検査中において走査されていない各スイッチ素子に対し、実駆動時と同様に、駆動が抑制される極性の電圧が印加される。その結果、実駆動時において正常なスイッチ素子を、欠陥スイッチ素子として誤判断するおそれなくなる。すなわち、通常実駆動時と同じ状態の検査が可能になる。

【図面の簡単な説明】

【図1】アクティブマトリックス基板を有する液晶表示装置（LCD）の要部概略断面図である。

【図2】本発明の第1実施例に係るアクティブマトリックス基板のアクティブマトリックス回路に画素欠陥検出装置を接続した場合の回路構成を示す概略図である。

【図3】アクティブマトリックス基板の検査を行うためにアクティブマトリックス回路に印加される検査用駆動信号のタイムチャート図である。

【図4】画素欠陥判定回路による判定手法を示すグラフである。

【図5】容量素子の種類を示す平面図である。

【図6】容量素子の種類を示す等価回路図である。

【図7】本発明の第2の実施例に係るアクティブマトリックス基板のアクティブマトリックス回路に画素欠陥検出装置を接続した場合の回路構成を示す概略図である。

【図8】本発明の第2実施例に係るアクティブマトリックス基板の検査工程時における容量素子に蓄積されている電荷の読み出し時の等価回路図である。

【図9】本発明の第1実施例に係るアクティブマトリックス基板の検査工程時における容量素子に蓄積されている電荷の読み出し時の等価回路図である。

【図10】本発明の第3の実施例に係るアクティブマトリックス基板の検査工程時における容量素子に蓄積されている電荷の読み出し時の等価回路図である。

【図11】本発明のその他の実施例で用いるI/Vアンプの一例を示す回路図である。

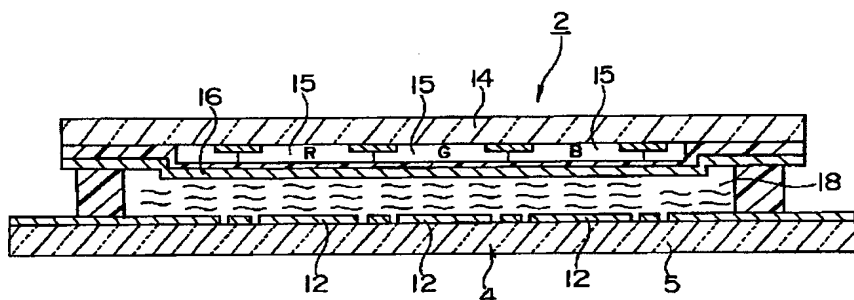
【図12】検査時と実駆動時とで、ある時点で走査されないトランジスタに印加される電圧の印加状態を示す概略図である。

【図13】本発明の実施例で用いるスイッチ素子としてのトランジスタの特性を示すグラフである。

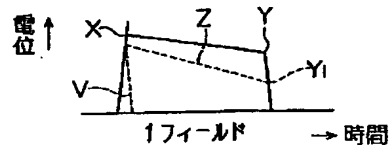
【符号の説明】

- 2...LCD
 4...アクティブマトリックス基板
 6...スイッチ素子
 8...容量素子
 10...駆動用セル
 14...対向基板
 16...対向電極
 18...液晶層
 20...アクティブマトリックス回路
 22...垂直走査回路
 24...水平走査回路
 26...ゲート線
 28...データ線
 30...スイッチ回路
 32...ビデオ入力端子線
 33...共通電極端子線
 34, 34A, 34B, 34C...検査用スイッチ回路
 35...駆動信号発生手段
 36...書き込み用電源
 38, 38a...I/Vアンプ
 40...判定手段
 50...接地側端子
 52...定電圧源

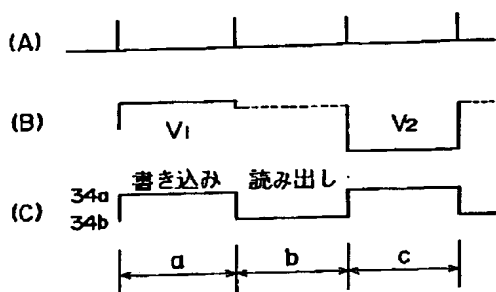
【図1】



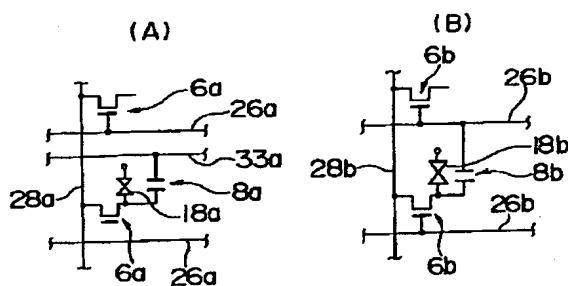
【図4】



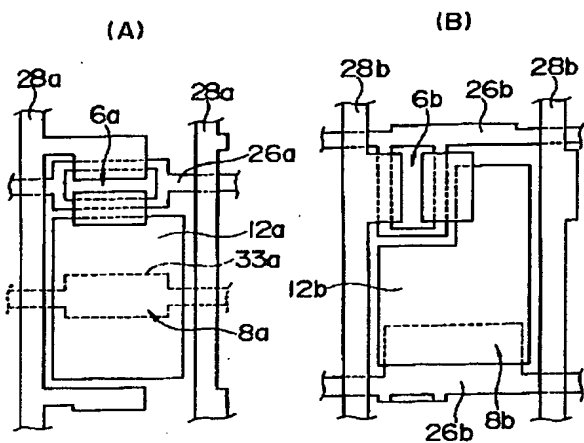
【図3】



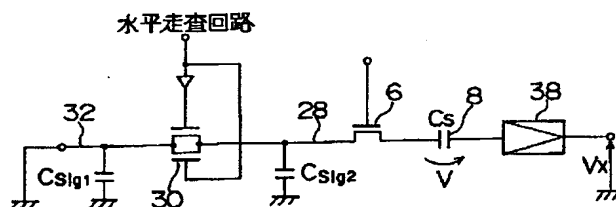
【図6】



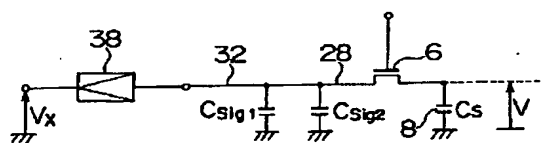
【図5】



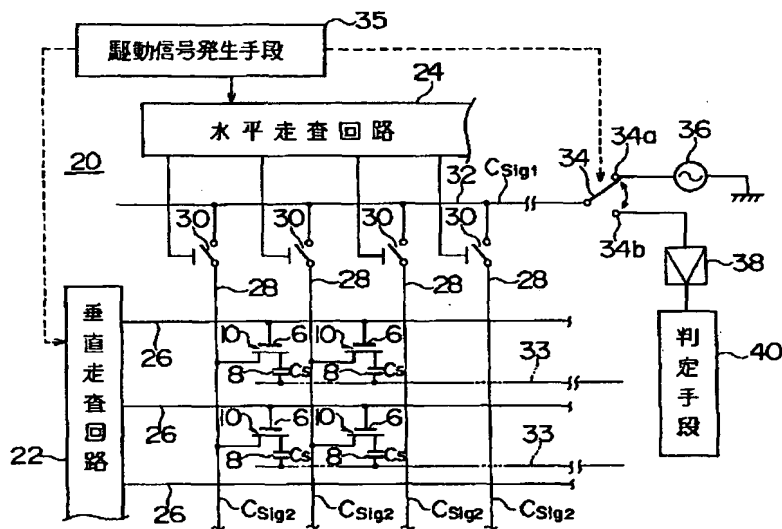
【図8】



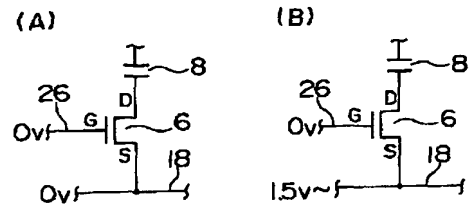
【図9】



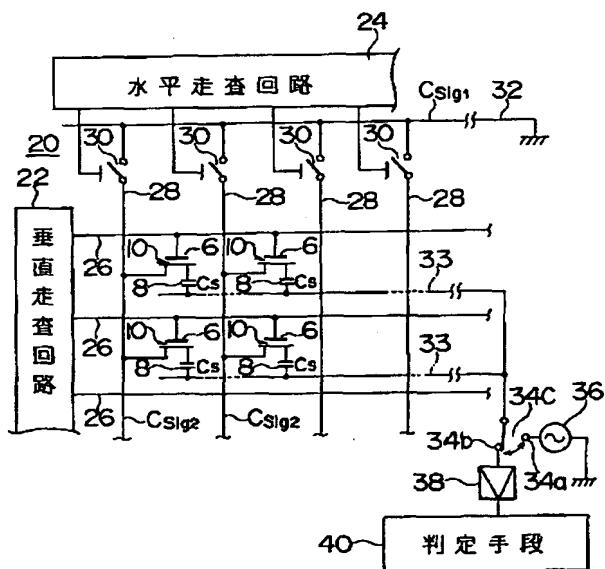
【図2】



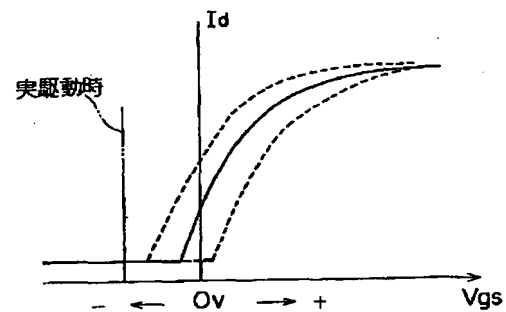
【図12】



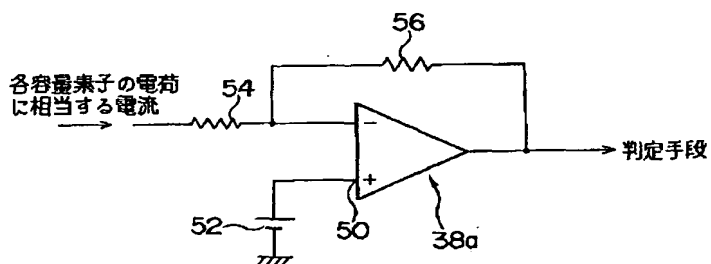
【図10】



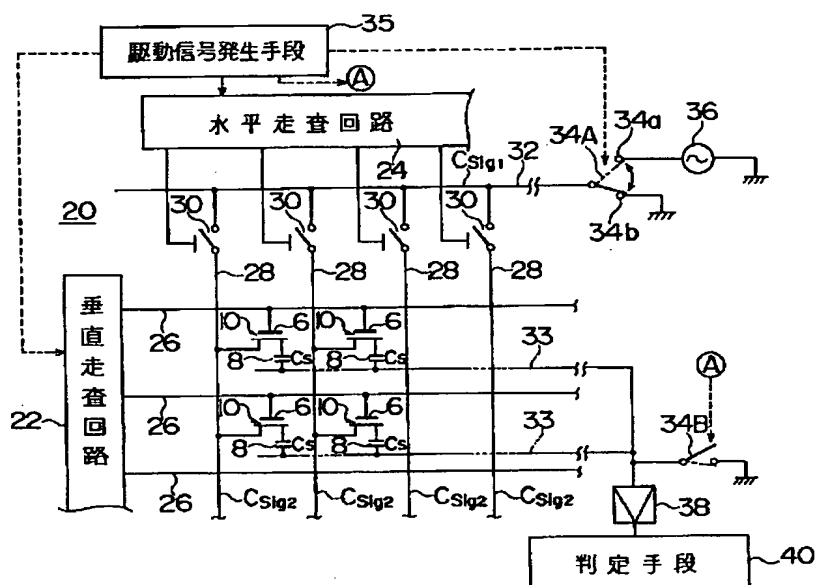
【図13】



【図11】



【図7】



フロントページの続き

(72)発明者 林 祐司

東京都品川区北品川6丁目7番35号 ソ
ニ一株式会社内

(72)発明者 前川 敏一

東京都品川区北品川6丁目7番35号 ソ
ニ一株式会社内

(56)参考文献

特開 平2-72392 (JP, A)
特開 平4-3091 (JP, A)
特開 昭57-38498 (JP, A)
特開 平3-142499 (JP, A)
特開 平3-200121 (JP, A)
特開 平5-90373 (JP, A)
特開 平1-241598 (JP, A)
特開 平4-9926 (JP, A)
特開 平4-369685 (JP, A)
特開 平5-10999 (JP, A)
特開 平5-158056 (JP, A)

(58)調査した分野(Int. Cl. 7, DB名)

G02F 1/1368

G02F 1/13 101